

## MÓDULO EXPERIMENTAL DE FPGA/CPLD

### MODELO LP-2900



#### **CARACTERÍSTICAS:**

- Use o ambiente de desenvolvimento de software fornecido pela CPLD / FPGA no estudo de projetos de lógica, substituindo os complicados projetos de hardware de TTL/CMOS
- Capaz de usar a sintaxe do circuito de hardware gráfico e digital descritiva (VHDL / AHDL) para desenvolver circuito.
- CPLD / FPGA fornece livre fixação de pinos, portanto, nenhuma conexão de hardware é exigida no caso de experiências, economizando tempo na soldagem e aprendendo rapidamente operações de hardware.
- Cada pino I/O do CPLD/FPGA possui monitor de estado lógico, para facilitar a velocidade do aprendizado de cada estado de pino
- Indicação clara de localidade de cada pino, fácil de visualizar e medir
- Use imprimir para fazer o download diretamente do sistema de desenvolvimento do fabricante.
- Grave em CPLD/FPGA programa em EPROM, o dispositivo experimental pode operar dedicado.
- Capaz de executar testes de circuito de igualdade 8051 e CPLD/FPGA.
- Sistema operacional: Refere-se ao software original CPLD / FPGA.
- AC100-240V, 50/60Hz

#### **APLICAÇÕES**

- Testador de aplicações temáticas
  - Teste de controle do LED de matriz local duas cores 8 x 8.
  - Clock digital
  - Contador
  - Alarme de clock eletrônico
  - Controle do tráfego de luz
  - Dados eletrônicos
  - Varredura do teclado
  - Teste de controle do display LCD
  - Teste do conversor A/D, D/A
  - Fácil projeto de CPU
  - Projeto de voz VHDL/AHDL
  - Combinando testes temáticos de 8051
- Gama dos programas de aplicação
  - Programa de lógica fundamental
  - Programa de projeto de circuitos digitais
  - Programa de circuito do projeto do sistema digital
  - Programa dos princípios de microprocessador
  - Programa de projeto do VLSI
  - Programa de projeto de chip do OPLD/FPGA
  - Programa de chip único do 8051
  - Preparação temática

## ESPECIFICAÇÕES

- Chips suportados: ALTERA FLEX10K / XILINX XC10TQ144 (TQFP 144 pinos), emprega projeto modular, flexível substituição por outras marcas de CPLD ou FPGA.
- Unidade geradora de sinal:
  - Gerador de frequência programável
  - Frequências padrões: 1/10/100/1K/10K/100K/1M/10MHz
- Chaves de entrada lógica:
  - Entrada lógica 8 x 1 com luz no ponto de pressionar
  - Entrada lógica 8 x 2 chave Dip
  - 4 botões geradores de pulso (2 pulsos positivos 2 pulsos negativos)
  - Teclado matriz 3 x 4.
- Unidade de saída:
  - Monitor de estado lógico com total de 102 conjuntos de LED indicadores para estado lógico
- Display LCD de matriz de ponto duas cores 8 x 8
  - Monitor LCD 16 x 2
  - Monitor de 7 nós e 6 dígitos
  - Saída LED 3 x 4
  - Saída de um conjunto de buzzer
- Unidade linear:
  - 2 conjuntos de conversor D/A de 8bit
  - 1 conjunto de conversor A/D de 8bit
- Unidade MPU:
  - Testes de circuito de igualdade 8051 e CPLD/FPGA

## CONTEÚDO

- Projeto de lógica combinada, simulação e teste:
  - Lógica básica
  - Subtrator
  - Decodificador
  - Lógica combinada
  - Comparador
  - Multiplexador
  - Somador
  - Compilador
  - Demultiplexador
- Projeto de circuito de lógica sequencial, simulação e teste:
  - Dispositivo Flip-flop
  - Registrador de deslocamento
  - Contador com registrador de deslocamento
  - Contador sincronizado
  - Contador não sincronizado
- Projeto de circuito de lógica analógica, simulação e teste:
  - Conversor A/D
  - Conversor D/A



Especificações sujeitas a alterações sem prévio aviso. Figuras meramente ilustrativas.

[www.minipa.com.br](http://www.minipa.com.br)

**MINIPA DO BRASIL LTDA.**

Matriz: Av. Carlos Liviero, 59 - Vila Liviero - 04186-100  
São Paulo - SP - Tel: +55 11 5078-1850

Filial: Rua Dona Francisca, 8300 - Bloco 4 - Módulo A - 89219-600  
Joinville - SC - Tel: +55 47 3467-8444